

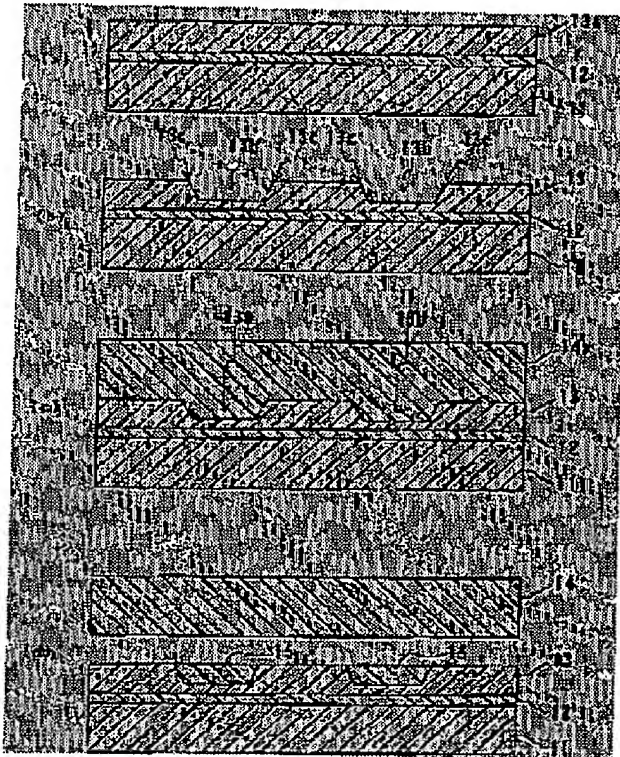
**METHOD OF MANUFACTURING III NITRIDE BASE COMPOUND
SEMICONDUCTOR SUBSTRATE**

Patent number: JP2000357663
Publication date: 2000-12-26
Inventor: YURI MASAOKI; KONDO OSAMU; NAKAMURA SHINJI;
ISHIDA MASAHIRO; ORITA KENJI
Applicant: MATSUSHITA ELECTRONICS INDUSTRY CORP
Classification:
- international: H01L21/205; C30B29/38; H01L33/00; H01S5/323
- european:
Application number: JP20000108497 20000410
Priority number(s):

BEST AVAILABLE COPY**Abstract of JP2000357663**

PROBLEM TO BE SOLVED: To manufacture a large-area III nitride base compound semiconductor substrate with a satisfactory yield and satisfactory reproducibility.

SOLUTION: First, a first semiconductor film 13 that is formed of a first III nitride based compound semiconductor having a stepped portion 13c is formed on a substrate 11 (Fig. b). Thereafter, a second semiconductor film 14a composed of a second III nitride based compound semiconductor having a thermal expansion coefficient that is different from that of the first III nitride based compound semiconductor is formed (Fig. c). Thereafter, the substrate 11 is cooled, and the second semiconductor film 14a is isolated from the first semiconductor film 13 to obtain the III nitride based compound semiconductor substrate 14.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-357663

(P2000-357663A)

(43) 公開日 平成12年12月26日 (2000. 12. 26)

(51) Int Cl.

識別記号

F I

テ-マコ-ト (参考)

H 0 1 L 21/205

H 0 1 L 21/205

C 3 0 B 29/38

C 3 0 B 29/38

H 0 1 L 33/00

H 0 1 L 33/00

H 0 1 S 5/323

H 0 1 S 5/323

D

C

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2000-108497 (P2000-108497)

(22) 出願日 平成12年4月10日 (2000. 4. 10)

(31) 優先権主張番号 特願平11-106276

(32) 優先日 平成11年4月14日 (1999. 4. 14)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 油利 正昭

大阪府高槻市幸町1番1号 松下電子工業

株式会社内

(72) 発明者 今藤 修

大阪府高槻市幸町1番1号 松下電子工業

株式会社内

(74) 代理人 100096555

弁理士 池内 寛幸 (外1名)

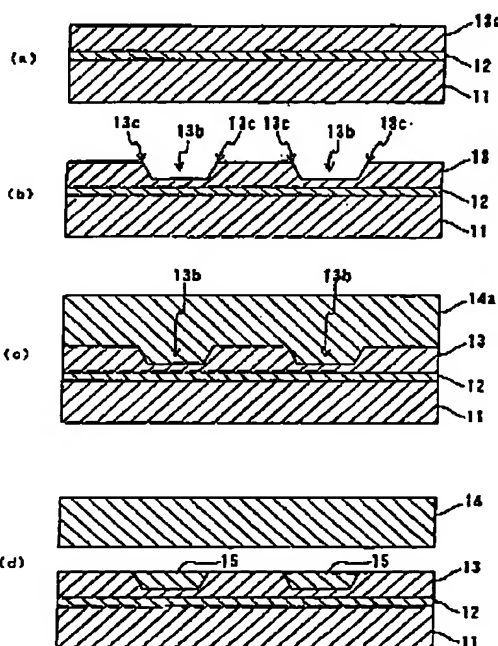
最終頁に続く

(54) 【発明の名称】 III族窒化物系化合物半導体基板の製造方法

(57) 【要約】

【課題】 大面積のIII族窒化物系化合物半導体基板を歩留まり良く、かつ再現性良く製造できるIII族窒化物系化合物半導体基板の製造方法を提供する。

【解決手段】 まず、基板11上に、第1のIII族窒化物系化合物半導体からなり、段差13cを備える第1の半導体膜13を形成する(図1(b))。その後、第1のIII族窒化物系化合物半導体とは異なる熱膨張係数を有する第2のIII族窒化物系化合物半導体からなる第2の半導体膜14aを形成する(図1(c))。その後、基板11を冷却し、第2の半導体膜14aを第1の半導体膜13から分離してIII族窒化物系化合物半導体基板14を得る。



【特許請求の範囲】

【請求項1】 III族窒化物系化合物半導体基板の製造方法であって、

(a) 基板上に、第1のIII族窒化物系化合物半導体からなり、段差を備える第1の半導体膜を形成する工程と、

(b) 前記第1の半導体膜上に、前記第1のIII族窒化物系化合物半導体とは異なる熱膨張係数を有する第2のIII族窒化物系化合物半導体からなる第2の半導体膜を形成する工程と、

(c) 前記基板を冷却し、前記第2の半導体膜を前記第1の半導体膜から分離する工程とを有することを特徴とするIII族窒化物系化合物半導体基板の製造方法。

【請求項2】 前記(a)の工程は、

(a-1) 前記基板上に、前記第1のIII族窒化物系化合物半導体からなる膜を形成する工程と、

(a-2) 前記膜の一部を除去することによって複数の溝を備える第1の半導体膜を形成する工程とを含む請求項1に記載のIII族窒化物系化合物半導体基板の製造方法。

【請求項3】 前記(a)の工程は、

(a-1) 前記基板上に、前記第1のIII族窒化物系化合物半導体からなる膜と絶縁膜とをこの順序で形成する工程と、

(a-2) 前記膜の一部を除去することによって、複数の溝を備える第1の半導体膜を形成する工程とを含む請求項1に記載のIII族窒化物系化合物半導体基板の製造方法。

【請求項4】 前記絶縁膜が、 SiO_2 および Si_3N_4 から選ばれる少なくとも1つからなる請求項3に記載のIII族窒化物系化合物半導体基板の製造方法。

【請求項5】 前記(b)の工程ののうちであって前記

(c)の工程の前に、前記絶縁膜を選択的に除去する工程をさらに含む請求項3に記載のIII族窒化物系化合物半導体基板の製造方法。

【請求項6】 前記(a-2)の工程において、前記複数の溝をストライプ状に形成する請求項2~5のいずれかに記載のIII族窒化物系化合物半導体基板の製造方法。

【請求項7】 前記基板が(0001)面サファイア基板であり、前記溝が[11-20]方向に形成されている請求項6に記載のIII族窒化物系化合物半導体基板の製造方法。

【請求項8】 前記第1のIII族窒化物系化合物半導体の格子定数が前記第2のIII族窒化物系化合物半導体の格子定数よりも小さい請求項1~7のいずれかに記載のIII族窒化物系化合物半導体基板の製造方法。

【請求項9】 前記第1のIII族窒化物系化合物半導体が $\text{Al}_x\text{Ga}_{1-x}\text{N}$ (ただし、 $0 < x \leq 1$)であり、前記第2のIII族窒化物系化合物半導体が GaN である請求項1~7のいずれかに記載のIII族窒化物系化合物半導

(2)

特開2000-357663

2

体基板の製造方法。

【請求項10】 前記(c)の工程は、前記基板を冷却したのち、さらに前記基板を加熱し冷却する工程を含む請求項1~7のいずれかに記載のIII族窒化物系化合物半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、III族窒化物系化合物半導体基板の製造方法に関する。

【0002】

【従来の技術】一般式が $\text{Al}_x\text{Ga}_{1-x-y}\text{In}_y\text{N}$ (ただし、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq x+y \leq 1$ である)で表されるIII族窒化物系化合物半導体は、バンドギャップエネルギーを、1.9 eV~6.2 eVという広い範囲で変化させることができる。このため、III族窒化物系化合物半導体は、可視域から紫外域までをカバーする発光・受光デバイス用の半導体材料として有望である。

【0003】III族窒化物系化合物半導体デバイスを作製する際の基板として、大面積で良質なIII族窒化物系化合物半導体基板が求められている。これに対して、従来から、III族窒化物系化合物半導体基板を製造する方法が報告されている (たとえば、ジャパニーズ・ジャーナル・オブ・アプライド・フィジックス第37巻(1998年) L309ページ~L312ページ、Japanese Journal of Applied Physics Vol. 37(1998) pp. L309-L312)。以下、図8を参照しながら、この従来の製造方法について説明する。

【0004】上記従来の製造方法では、まず、直径5.08 cm (2インチ) のサファイア基板1を有機金属気相エビタキシ装置 (以下、MOVPE装置という場合がある) 内に配置する。そして、サファイア基板1上にMOVPE法によって、 GaN バッファ層2と GaN 層3とを順次形成する (図8(a))。以下、何らかの層が形成されたサファイア基板1をウェハと呼ぶ場合がある。

【0005】次に、ウェハをMOVPE装置から取り出す。そして、 GaN 層3の表面に SiO_2 膜4を形成し、さらに SiO_2 膜4に数 μm ピッチでストライプ状の窓4aを形成する (図8(b))。

【0006】その後、ウェハを、ハイドライド気相エビタキシ (以下、HVPEという場合がある) 装置内に配置し、 SiO_2 膜4上に GaN 厚膜5a (膜厚約100 μm) を形成する (図8(c))。

【0007】その後、ウェハをHVPE装置から取り出す。最後に、サファイア基板1側から GaN 厚膜5aに達するまでウェハを研磨することによって、膜厚約80 μm 程度の GaN 基板5が得られる (図8(d))。

【0008】

3

【発明が解決しようとする課題】しかしながら、上記従来の方法では、以下のような課題があった。

【0009】上記方法では、サファイア基板1とGa_{0.5}N_{0.5}厚膜5aとは、格子定数および熱膨張係数が異なるため、Ga_{0.5}N_{0.5}厚膜5aを結晶成長させたのちウェハの温度を室温に戻す過程で、サファイア基板1とGa_{0.5}N_{0.5}厚膜5aとの間に応力がかかる。このため、上記方法では、ウェハが反って、Ga_{0.5}N_{0.5}厚膜5aの主面に垂直な方向にクラックが生じたり、Ga_{0.5}N_{0.5}厚膜5aが部分的に剥離したりしていた。その結果、従来の方法で得られるGa_{0.5}N_{0.5}基板5の大きさはせいぜい1cm角程度であり、サファイア基板1と同程度の面積のGa_{0.5}N_{0.5}基板5を歩留まり良く、かつ再現性良く得ることが困難であった。特に、上記従来の方法では、サファイア基板1-Ga_{0.5}N_{0.5}バッファ層2-Ga_{0.5}N_{0.5}層3の間に応力が集中し、さらに、これらは互いに主面全体で密着しているため、無秩序にクラックが形成されるという問題があった。

【0010】上記課題を解決するため、本発明は、面積のIII族窒化物系化合物半導体基板を歩留まり良く、かつ再現性良く製造できるIII族窒化物系化合物半導体基板の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明のIII族窒化物系化合物半導体基板の製造方法は、(a)基板上に、第1のIII族窒化物系化合物半導体からなり段差を備える第1の半導体膜を形成する工程と、(b)第1の半導体膜上に、第1のIII族窒化物系化合物半導体とは異なる熱膨張係数を有する第2のIII族窒化物系化合物半導体からなる第2の半導体膜を形成する工程と、(c)基板を冷却し、第2の半導体膜を第1の半導体膜から分離する工程とを有することを特徴とする。上記本発明の製造方法では、(c)の工程において基板を冷却すると、第1の半導体膜の段差部分から、第2の半導体膜内であって第2の半導体膜の主面に平行な方向にクラックが生じる。このため、上記本発明の製造方法によれば、面積のIII族窒化物系化合物半導体基板を歩留まり良く、かつ再現性良く製造できる上記本発明の製造方法では、(a)の工程は、(a-1)基板上に、第1のIII族窒化物系化合物半導体からなる膜を形成する工程と、(a-2)膜の一部を除去することによって複数の溝を備える第1の半導体膜を形成する工程とを含むことが好ましい。上記構成によれば、段差を備える第1の半導体膜を容易に形成できる。

【0012】また、上記本発明の製造方法では、(a)の工程は、(a-1)基板上に、第1のIII族窒化物系化合物半導体からなる膜と絶縁膜とをこの順序で形成する工程と、(a-2)膜の一部を除去することによって、複数の溝を備える第1の半導体膜を形成する工程とを含むことが好ましい。上記構成によれば、第1のIII族窒化物系化合物半導体からなる膜と絶縁膜との間、主

(3)

特開2000-357663

4

たは絶縁膜と第2の半導体膜との間でクラックがより生じやすくなる。このため、上記構成によれば、特に面積のIII族窒化物系化合物半導体基板を容易に製造できる。

【0013】上記本発明の製造方法では、絶縁膜が、SiO₂およびSi₃N₄から選ばれる少なくとも1つからなることが好ましい。上記構成によれば、SiO₂やSi₃N₄とその表面に堆積されたIII族窒化物系化合物半導体とが材料および結晶構造において互いに異なるため、両者の界面に安定した化学結合が形成されず、第2の半導体膜の剥離が容易になる。

【0014】上記本発明の製造方法では、(b)の工程のちであって(c)の工程の前に、絶縁膜を選択的に除去する工程をさらに含むことが好ましい。上記構成によれば、第1の半導体膜からIII族窒化物系化合物半導体基板を分離したときに、III族窒化物系化合物半導体基板上に絶縁膜が残らないため、III族窒化物系化合物半導体基板を歩留まりおよび生産性よく製造できる。

【0015】上記本発明の製造方法では、(a-2)の工程において、複数の溝をストライプ状に形成することが好ましい。上記構成によれば、特に面積のIII族窒化物系化合物半導体基板を容易に製造できる。

【0016】上記本発明の製造方法では、基板が(0001)面サファイア基板であり、溝が[11-20]方向に形成されていることが好ましい。上記構成によれば、結晶性が良好な第2の半導体膜を容易に形成できる。

【0017】上記本発明の製造方法では、第1のIII族窒化物系化合物半導体の格子定数が第2のIII族窒化物系化合物半導体の格子定数よりも小さいことが好ましい。上記構成によれば、第1の半導体膜に対して引っ張り歪が加わるため、特に面積のIII族窒化物系化合物半導体基板を製造できる。

【0018】上記本発明の製造方法では、第1のIII族窒化物系化合物半導体がAl_xGa_{1-x}N(ただし、0<x≤1)であり、第2のIII族窒化物系化合物半導体がGa_{0.5}Nであることが好ましい。上記構成によれば、第1の半導体膜の格子定数を、第2の半導体膜の格子定数よりも小さくできる。

【0019】上記本発明の製造方法では、(c)の工程は、基板を冷却したのち、さらに基板を加熱し冷却する工程を含むことが好ましい。上記構成によれば、クラックが確実に形成され、III族窒化物系化合物半導体基板を歩留まりよく製造できる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら一例を説明する。

【0021】本発明のIII族窒化物系化合物半導体基板の製造方法について、工程図を図1に示す。なお、図1の断面図は、基板の一部のみを示している。

5

【0022】本発明の製造方法では、まず、基板11上にIII族窒化物系化合物半導体からなるバッファ層12と、第1のIII族窒化物系化合物半導体からなる膜13aとをこの順序で形成する(図1(a))。基板11には、たとえば、サファイア基板、炭化ケイ素基板、スピネル基板、シリコン、ガリウム砒素、インジウム砒素などを用いることができる。具体的には、(0001)面サファイア基板を用いることができる。(0001)面サファイア基板を用いることによって、基板11上にIII族窒化物系化合物半導体を容易に結晶成長させることができる。なお、基板11の種類によってはバッファ層12を省略することも可能である。また、バッファ層12と膜13aとの間に、他のIII族窒化物系化合物半導体を積層してもよい。

【0023】次に、膜13aの一部を除去することによって、第1のIII族窒化物系化合物半導体からなり段差を備える第1の半導体膜13を形成する。膜13aの一部の除去は、ドライエッチングやウェットエッチングによって行うことができる。たとえば、図1(b)に示すように、ストライプ状の溝13bを形成することによって、段差13cを備える第1の半導体膜13を形成すればよい。図1(b)の工程における第1の半導体膜13の平面図を図2に示す。図2に示すように、複数の溝13bは、略平行に形成されている。ストライプ状の溝13bは、基板11が(0001)面サファイア基板からなる場合には、 $[11-20]$ 方向に形成されることが好ましい。なお、「 $[11-20]$ 方向」という表現の中の2の前にあるマイナスはバーを意味し、 $[11-20]$ は、

【0024】

【数1】

$$[11\bar{2}0]$$

【0025】を表す。また、 $[11-20]$ 方向とは、 $\langle 11-20 \rangle$ 方向ならびにそれと等価な方向すなわち $\langle 1-210 \rangle$ 方向および $\langle -2110 \rangle$ 方向を表す。

【0026】溝13bの拡大図を図3に示す。溝13bの開口部の幅 W_{op} は、 $1\mu m \sim 10\mu m$ であることが好ましい。また、溝13bの深さ D は $0.5\mu m$ 以上であることが好ましい。深さ D を $0.5\mu m$ 以上とすることによって、第2の半導体膜にかかる応力が大きくなり、III族窒化物系化合物半導体基板を剥離することが容易になる。また、溝13bの中心と隣接する溝13bの中心との距離(周期) P と、幅 W_{op} とは、 $P \geq 0.5W_{op}$ の関係を満たすことが好ましい。これによって、応力が加わる部分の体積が大きくなり、剥離を容易に行うことができる。また、溝13bでは、開口部の幅 W_{op} が底の幅 W_b よりも大きいことが好ましい。なお、図3には、断面形状が順メサ型の溝を示したが、他の形状の段差を形成してもよい。たとえば、断面形状が

(4)

特開2000-357663

6

逆メサ型の段差や側面が垂直な段差を形成してもよい。また、溝13bは、ストライプ状ではなく格子状に形成してもよい。

【0027】次に、第1の半導体膜13を覆うように、第2のIII族窒化物系化合物半導体からなる第2の半導体膜14aを第1の半導体膜13上に形成する(図1(c))。ここで、第2のIII族窒化物系化合物半導体は、第1のIII族窒化物系化合物半導体とは組成および熱膨張係数が異なる。なお、第2の半導体膜14aの形成は、基板11を加熱しながら行われる。

【0028】最後に、第2の半導体膜14aが形成された基板11を冷却し、第2の半導体膜14aを第1の半導体膜13から分離し、III族窒化物系化合物半導体基板14を得る(図1(d)参照)。なお、図1(d)に示すように、第2の半導体膜14aのうち溝13b内に形成された部分15は、溝13b内に残る場合がある。このようにして、III族窒化物系化合物半導体基板を製造できる。なお、第2の半導体膜14aの分離を容易にするために、基板11を冷却したのち、さらに加熱・冷却を繰り返してもよい。また、必要に応じて、III族窒化物系化合物半導体基板14の裏面側(第1の半導体膜13に接していた側)を研磨してもよい。III族窒化物系化合物半導体基板14の裏面に第2の半導体膜13の一部が付着しているような場合であっても、それらの膜は薄いので、研磨によって容易に除去できる。

【0029】上記工程において、第1のIII族窒化物系化合物半導体(第1の半導体膜13)および第2のIII族窒化物系化合物半導体(第2の半導体膜14a)には、それぞれ、組成が $Al_xGa_{1-x}In_yN$ (ただし、 $0 \leq X \leq 1$ 、 $0 \leq Y \leq 1$ 、 $0 \leq X+Y \leq 1$)で表される化合物半導体を用いることができる。そして、上述したように、第1のIII族窒化物系化合物半導体と第2のIII族窒化物系化合物半導体とは、組成が異なり、熱膨張係数が異なる。なお、第2の半導体膜14aに不純物を添加し、p形またはn形の半導体膜を形成してもよい。これによって、p形またはn形のIII族窒化物系化合物半導体基板が得られる。

【0030】また、第1の半導体膜13と第2の半導体膜14aとは、熱膨張係数が大きく異なることが好ましい。たとえば、 GaN からなる基板を製造する場合には、第2の半導体膜14aが GaN からなり、第1の半導体膜13が $Al_xGa_{1-x}N$ (ただし、 $0.1 \leq X \leq 0.3$)からなることが好ましい。また、 $Al_xGa_{1-x}N$ (ただし、 $0.1 \leq X \leq 0.2$)からなる基板を製造する場合には、第2の半導体膜14aが $Al_xGa_{1-x}N$ (ただし、 $0.1 \leq X \leq 0.2$)からなり、第1の半導体膜13が GaN からなることが好ましい。

【0031】また、第2の半導体膜14aは、厚さが $200\mu m$ 以上であることが好ましい。厚さを $200\mu m$ 以上とすることによって、第1の半導体膜13と第2の

7

半導体膜14aとの界面に応力を集中させることができるため、第2の半導体膜14aの剥離が容易になる。

【0032】上記工程において、第1のIII族窒化物系化合物半導体からなる膜13a、および第2の半導体膜14aは、たとえば、HVPE法、MOVPE法などによって形成することができる。

【0033】なお、本発明の製造方法では、以下の実施例で説明するように、第1の半導体膜13と第2の半導体膜14aとの界面の一部に、絶縁膜を形成する工程をさらに含んでもよい。これによって、第2の半導体膜14aをさらに容易に剥離できる。絶縁膜には、たとえば、 SiO_2 、 Si_3N_4 、または Al_2O_3 などを用いることができる。この場合には、第2の半導体膜14aを形成した後に、絶縁膜を選択的に除去する工程をさらに含んでもよい。絶縁膜を選択的に除去することによって、第2の半導体膜14aの剥離がさらに容易になる。

【0034】上記本発明の製造方法では、第1の半導体膜13の熱膨張係数と第2の半導体膜14aの熱膨張係数とが異なり、第1の半導体膜13には段差13cが形成されている。したがって、段差13cの部分から、第2の半導体膜14aの表面に平行にクラックが生じる。このため、本発明の製造方法によれば、大面積のIII族窒化物系化合物半導体基板を容易に製造できる。

【0035】

【実施例】以下、実施例を用いて本発明をさらに詳細に説明する。

【0036】（実施例1）実施例1では、本発明の製造方法によってIII族窒化物系化合物半導体基板を製造した一例について、図4を参照しながら説明する。

【0037】まず、基板であるサファイア基板41（直径5.08cm（2インチ）、厚さ300 μm ）を、リン酸と塩酸の混合溶液（90℃に加熱）中で15分間浸漬することによって、サファイア基板41の表面をエッチングした。次に、サファイア基板41を水洗して乾燥*

(5)

特開2000-357663
8

*した。次に、サファイア基板41をMOVPE装置に導入した。そして、 $1.013 \times 10^{-5} \text{Pa}$ （1気圧）の窒素雰囲気下で、サファイア基板41を30分間1050℃に加熱することによって、サファイア基板41のサーマルクリーニングを行った。

【0038】次に、結晶成長温度（サファイア基板41の温度）が500℃の条件で、Ga_{0.9}Nバッファ層42（厚さ50nm）をサファイア基板41上にエピタキシャル成長させた。次に、結晶成長温度が1000℃の条件で、Ga_{0.9}N層43とAl_{0.1}Ga_{0.9}N層44aとを、それぞれが1 μm の厚さになるようにエピタキシャル成長させた（図4（a））。結晶成長には、トリメチルガリウム、トリメチルアルミニウムおよびアンモニアを原料ガスとして用いた。Al_{0.1}Ga_{0.9}N層44aが、図1の膜13aに対応する。以下、何らかの層が形成されたサファイア基板41をウェハという。

【0039】次に、ウェハをMOVPE装置から取り出した。そして、Al_{0.1}Ga_{0.9}N層44aの[11-20]方向に、複数の溝44b（開口部の幅W_{op}が約5 μm 、深さDが約0.8 μm ）をドライエッチングによって形成し、Al_{0.1}Ga_{0.9}N層44を形成した（図4（b））。Al_{0.1}Ga_{0.9}N層44が第1の半導体膜13に相当する。このとき、溝44bによって段差44cが形成された。溝44bはストライプ状に形成し、隣接する溝44b間の距離P（図3参照）は、10 μm とした。

【0040】その後、ウェハをハイドライド気相成長装置（以下、HVPE装置という場合がある）に導入し、Al_{0.1}Ga_{0.9}N層44上にGa_{0.9}N膜45a（厚さ200 μm ）をエピタキシャル成長させた（図4（c））。なお、Ga_{0.9}NとAl_{0.1}Ga_{0.9}Nとは、表1に示すように、線熱膨張係数が異なる。

【0041】

【表1】

	線熱膨張係数の値($\times 10^{-6}/\text{K}$)	
	室温(27℃)	1000℃
GaN	5.59	5.59
Al _{0.1} Ga _{0.9} N	5.41	5.70

【0042】Ga_{0.9}N膜45aの形成方法について以下に説明する。HVPE装置の一例について、断面図を図5に模式的に示す。なお、図5では、理解を容易にするため、部分的にハッチングを省略している。図5を参照して、HVPE装置は、石英製の反応炉51と、反応炉51の内部に配置されたサセプタ52と、反応炉51に取り付けられた窒素導入管53a、アンモニア導入管53b、塩化水素導入管53cおよび排気管54と、塩化水素導入管53cの先端に配置された原料室55とを備え

る。原料室55内には、原料（金属ガリウム）56が入れられたトレイ57が配置されている。HVPE装置は、さらに、サセプタ52に配置されるウェハ52aを加熱するための基板加熱ヒータ58と、原料56を加熱するための原料加熱ヒータ59とを備える。なお、基板加熱ヒータ58は、反応炉51に対して平行にスライドできるようにになっている。

【0043】Ga_{0.9}N膜45aの結晶成長の方法について、以下に説明する。

9

【0044】まず、アンモニア導入管53bおよび原料室55に対向するようにサセプタ52上にウェハを載置した。そして、窒素導入管53aから反応炉51に窒素を導入し、反応炉51内を 1.013×10^{-5} Pa (1気圧)の窒素雰囲気で満たした。

【0045】その後、基板加熱ヒータ58および原料加熱ヒータ59を用い、ウェハの温度を1000℃、原料56の温度を800℃とした。そして、アンモニア導入管53bからアンモニアを反応炉51に導入した。また、塩化水素導入管53cから塩化水素を原料室55に導入し、原料室55において原料56の金属ガリウムと塩化水素とを反応させて塩化ガリウムを発生させた。

【0046】そして、反応室51内に導入した塩化ガリウムとアンモニアとを原料ガスとして、ウェハ上にGaN膜45aを結晶成長させた(図4(c))。

【0047】その後、GaN膜45aとAl_{0.1}Ga_{0.9}N層44とを分離することによって、GaN基板45を得た。具体的には、GaN膜45aを結晶成長させたのち、窒素雰囲気中のHVPE装置中で20分間自然冷却することによって、ウェハの温度を室温まで下げ、GaN膜45aをAl_{0.1}Ga_{0.9}N層44から分離した。最後に、分離されたGaN基板45をHVPE装置より取り出した。このようにして、GaN基板45を得た。このとき、GaN膜45aの一部46が溝44b内に残った。

【0048】GaN膜45aに形成されるクラックの様子を見るために、GaN膜45aに代えて、膜厚が2μmのGaN層61を結晶成長させたウェハを作製し、上記実施例1と同様の方法で冷却した。そして、このウェハを劈開し、劈開面を電子顕微鏡で観察して、GaN層61内に生じた欠陥やクラックの様子を調べた。その結果を図6に模式的に示す。なお、図6では、GaN層61のハッチングを省略する。

【0049】図6に示すように、GaN層61内には、貫通転移62とクラック63とが形成されている。クラック63は、Al_{0.1}Ga_{0.9}N層44に形成された段差部分44cから溝44bの中央方向に向かって、GaN層61の主面に平行に形成されていた。このクラック63は、(1) Al_{0.1}Ga_{0.9}N層44とGaN層61とで熱膨張係数が異なること、(2) Al_{0.1}Ga_{0.9}Nの格子定数がGaNの格子定数よりも小さく、Al_{0.1}Ga_{0.9}N層44に対して引っ張り歪が加わったこと、および(3) Al_{0.1}Ga_{0.9}N層44に段差44cが形成され、段差44cの斜面上にもGaNが結晶成長したこと、のためであると考えられる。GaN膜45aの場合も、GaN層61と同様に、段差44c部分から主面に平行にクラックが生じ、GaN膜45aが剥離しやすくなるものと考えられる。

【0050】実際に、実施例1においては、ウェハの約60%の領域において、GaN膜45aの段差44cの

(6)

特開2000-357663

10

部分にクラックが生じ、GaN膜45aを分離することができた。その結果、直径約2.54cm(約1インチ)のGaN基板45を得ることができた。

【0051】以上のように、実施例1の製造方法では、Al_{0.1}Ga_{0.9}N層44の熱膨張係数とGaN膜45aの熱膨張係数とが異なり、かつAl_{0.1}Ga_{0.9}N層44には段差44cが形成された。このため、GaN膜45a中において、GaN膜45aの表面に対して平行に段差44cからクラックが生じ、GaN膜45aを分離することができた。その結果面積の大きなGaN基板45を得ることができた。

【0052】特に、Al_{0.1}Ga_{0.9}Nの格子定数はGaNの格子定数よりも小さく、Al_{0.1}Ga_{0.9}N層44に対して引っ張り歪が加わるので、Al_{0.1}Ga_{0.9}N層44とGaN膜45aとの間においてクラックが生じやすくなり、大面積のGaN膜45aを分離することができた。その結果、大面積のGaN基板45が得られた。

【0053】(実施例2) 実施例2では、本発明の製造方法によってIII族窒化物系化合物半導体基板を製造した他の一例について説明する。実施例2の製造方法では、実施例1の製造方法とは基板の冷却方法のみが異なるため、重複する説明は省略する。

【0054】図4(a)~図4(c)の工程を行い、Al_{0.1}Ga_{0.9}N層44上にGaN膜45a(厚さ200μm)を結晶成長させた。その後、窒素雰囲気中のHVPE装置中で20分間自然冷却することによって、ウェハの温度を室温まで下げた。その後、窒素雰囲気中のHVPE装置中で、30分の時間をかけてウェハの温度を1000℃まで上げた。1000℃まで加熱したのち室温まで冷却する熱サイクルを5回繰り返すことによって、Al_{0.1}Ga_{0.9}N層44からGaN膜45aを分離し、GaN基板45を得た(図4(d)参照)。最後に、分離されたGaN基板45をHVPE装置より取り出した。このようにして、III族窒化物系化合物半導体基板を得た。

【0055】実施例2の製造方法では、実施例1の製造方法で得られる効果に加え、GaN基板を分離する際に熱サイクルを行うことによる効果が得られる。したがって、実施例2の製造方法では、実施例1よりも大面積のGaN膜45aを分離することができ、大面積のGaN基板を得ることができた。

【0056】実際、実施例2においては、ウェハの全面にわたって、段差44cから溝44bの中央部に向かって、GaN膜45aの表面に平行な方向にGaN膜45a内にクラックが生じ、GaN膜45aを分離することができた。その結果、直径が約5.08cm(約2インチ)のGaN基板45を得ることができた。

【0057】熱サイクルを行うことによって、より大面積のGaN基板45を分離することができるのは、Al_{0.1}Ga_{0.9}N層44とGaN膜45aとの界面に繰り返

11

し応力加わり、クラックがより生じやすくなったためであると考えられる。

【0058】(実施例3) 実施例3では、本発明の製造方法によってIII族窒化物系化合物半導体基板を製造したその他の一例について説明する。実施例3の製造方法は、実施例1の製造方法とは基板の冷却方法のみが異なるため、重複する説明は省略する。

【0059】図4(a)～図4(c)の工程を行い、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44上にGa_{0.9}N膜45a(厚さ200μm)を結晶成長させた。そして、Ga_{0.9}N膜45aを結晶成長させた直後に、基板加熱ヒータ58をスライドさせ、窒素ガスをウェハに吹き付けてウェハを急速(3分以内)に冷却し、ウェハの温度を室温まで下げた。この窒素ガスによる冷却によってGa_{0.9}N膜45aを分離し、Ga_{0.9}N基板45を得た。そして、得られたGa_{0.9}N基板45をHVPE装置より取り出した。

【0060】ウェハを冷却する際に基板加熱ヒータ58をスライドさせたのは、基板加熱ヒータ58が有する熱によって、ウェハの冷却に時間がかかるのを防止するためである。基板加熱ヒータ58をスライドさせることによって、ウェハを室温まで急速に冷却することができた。

【0061】実施例3の製造方法では、実施例1の製造方法と同様の効果に加え、実施例1に比べてウェハをより急速に冷却する効果が得られる。したがって実施例3の製造方法では、より大面積のGa_{0.9}N膜45aを分離することができ、その結果、より大面積のGa_{0.9}N基板を得ることができた。

【0062】実際、実施例3においては、ウェハの全面にわたって、段差44cから溝44bの中央部に向かって、Ga_{0.9}N膜45aの表面に平行な方向にGa_{0.9}N膜45a内にクラックが生じ、Ga_{0.9}N膜45aを分離することができた。その結果、直径が約5.08cm(約2インチ)のGa_{0.9}N基板45を得ることができた。

【0063】実施例3の製造方法で大面積のGa_{0.9}N基板が得られるのは、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44とGa_{0.9}N膜45aとの界面に応力が急速にかかり、クラックがより生じやすくなったためであると考えられる。

【0064】(実施例4) 実施例4では、本発明の製造方法によってIII族窒化物系化合物半導体基板を製造したその他の一例について図7を参照しながら説明する。実施例4の製造方法は、第1の半導体膜と第2の半導体膜との間に絶縁膜を形成する方法である。なお、実施例1と同様の部分については、重複する説明を省略する。

【0065】まず、(0001)面サファイア基板41(直径5.08cm(2インチ)、厚さ300μm)を用意し、実施例1と同様の方法で、洗浄、エッチング、およびサーマルクリーニングを行った。そして、実施例1と同様の方法で、サファイア基板41上に、Ga_{0.9}Nパ

(7)

特開2000-357663

12

μm)、および $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44a(厚さ1μm)を、順次結晶成長させた(図7(a))。

【0066】次に、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44aが形成されたサファイア基板41(以下、ウェハという場合がある)を、常圧CVD装置内に配置した。そして、CVD法によって、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44a上に、 SiO_2 膜71(厚さ約0.3μm)を形成した。

【0067】その後、ウェハを常圧CVD装置から取り出した。そして、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44aの[11-20]方向に、幅Woppが5μm、深さDが0.8μm、距離(周期)Pが10μmの溝44bをドライエッチングによって形成し、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44を形成した(図7(b))。

【0068】さらに、実施例1と同様の方法で、膜厚200μmのGa_{0.9}N膜45aを結晶成長させた(図7(c))。なお、結晶成長温度は、実施例1と同様に1000℃とした。

【0069】その後、 N_2 雰囲気下のHVPE装置内で、20分間ウェハを自然冷却し、ウェハの温度を室温まで下げ、Ga_{0.9}N膜45aを分離した。最後に、分離されたGa_{0.9}N基板45をHVPE装置より取り出し、Ga_{0.9}N基板45を得た(図7(d))。

【0070】実施例4の製造方法では、(1) $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44の熱膨張係数とGa_{0.9}N膜45aの熱膨張係数とが異なり、(2) $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44に、溝型の段差44cが形成されており、(3) $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44上に SiO_2 膜71が形成されている。

【0071】実施例4の製造方法では、 SiO_2 膜71を用いているため、溝44b部分の $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44から SiO_2 膜71に回り込むように結晶が成長する。したがって、 SiO_2 膜71とGa_{0.9}N膜45aとの界面に結晶の歪みによる応力加わり、この界面でクラックがさらに生じやすくなる。したがって、実施例4の製造方法によれば、より大面積のGa_{0.9}N基板45を得ることができた。

【0072】実際、実施例4においては、ウェハの全面にわたって、段差44cから溝44bの中央部に向かって、Ga_{0.9}N膜45aの表面に平行な方向にGa_{0.9}N膜45a内にクラックが生じ、Ga_{0.9}N膜45aを分離することができた。その結果、直径が約5.08cm(約2インチ)のGa_{0.9}N基板45を得ることができた。

【0073】なお、実施例4において、HVPE装置よりウェハを取り出した後に、ウェハを希フッ酸(体積比で $\text{H}_2\text{O}:\text{HF}=10:1$)に30分間浸漬し、 SiO_2 膜71のみを選択的にエッチングしてもよい。そして、さらに熱サイクルを行い、Ga_{0.9}N基板を分離してもよい。このようにすれば、Ga_{0.9}N膜45aを分離する際に、Ga_{0.9}N基板45の表面に SiO_2 膜71が残留しないので、面積の大きなGa_{0.9}N基板45をより歩留まり良く得ることができる。

13

【0074】また、実施例4の製造方法において、上記実施例と同様に、熱サイクルを行ったり、ウェハを急速に冷却してもよい。

【0075】また、 SiO_2 膜71の代わりに、 Si_3N_4 からなる膜を用いてもよい。

【0076】以上、本発明の実施の形態について例を挙げて説明したが、本発明は、上記実施の形態に限定されず本発明の技術的思想に基づき他の実施形態に適用することができる。

【0077】たとえば、上記実施例では、 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44に形成する溝44bの深さDを、 GaN 層43に達しない深さである $0.8\mu\text{m}$ とした。しかし、深さDを、 GaN 層43に達する深さとしてもよく、サファイア基板41が露出する深さとしてもよい。溝を形成することによって GaN 層43またはサファイア基板41が露出する場合でも、 GaN 膜45aの成長初期のガス流量や成長温度などの成長条件を最適化することによって、良好な結晶性を有する GaN 膜45aを得ることができる。

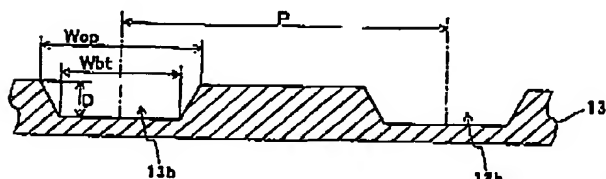
【0078】

【発明の効果】以上説明したように、本発明のIII族窒化物系化合物半導体基板の製造方法は、第1のIII族窒化物系化合物半導体からなり段差を備える第1の半導体膜を形成する工程と、第1の半導体膜上に、第1のIII族窒化物系化合物半導体とは異なる熱膨張係数を有する第2のIII族窒化物系化合物半導体からなる第2の半導体膜を形成する工程と、基板を冷却し、第2の半導体膜を第1の半導体膜から分離する工程とを有する。したがって、本発明の製造方法によれば、大面積のIII族窒化物系化合物半導体基板を歩留まり良く、かつ再現性良く製造できる。

【図面の簡単な説明】

【図1】 本発明のIII族窒化物系化合物半導体基板の製造方法について一例を示す工程図である。

【図3】



(8)

特開2000-357663

14

【図2】 図1(b)の工程における溝13bの形状の一例を示す平面図である。

【図3】 溝13bの形状の一例を示す断面図である。

【図4】 本発明のIII族窒化物系化合物半導体基板の製造方法について他の一例を示す工程図である。

【図5】 本発明のIII族窒化物系化合物半導体基板の製造方法に用いるHVPE装置について一例を模式的に示す断面図である。

【図6】 $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層44と GaN 層71との境界に生じるクラックの様子を模式的に示す図である。

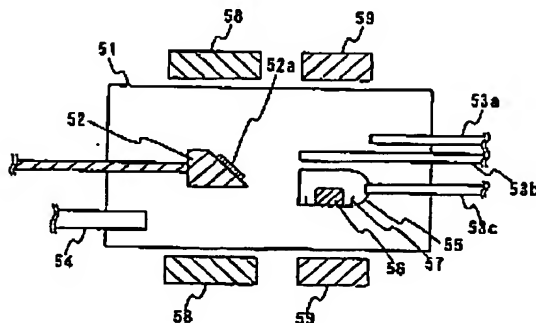
【図7】 本発明のIII族窒化物系化合物半導体基板の製造方法についてその他の一例を示す工程図である。

【図8】 従来のIII族窒化物系化合物半導体基板の製造方法について一例を示す工程図である。

【符号の説明】

- 11 基板
- 12 パッファ層
- 13 第1の半導体膜
- 13a 膜
- 13b、44b 溝
- 13c、44c 段差
- 14a 第2の半導体膜
- 14 III族窒化物系化合物半導体基板
- 41 サファイア基板
- 42 GaN パッファ層
- 43 GaN 層
- 44、44a $\text{Al}_{0.1}\text{Ga}_{0.9}\text{N}$ 層
- 45 GaN 基板
- 45a GaN 膜
- 61 GaN 層
- 62 貫通転移
- 63 クラック
- 71 絶縁膜

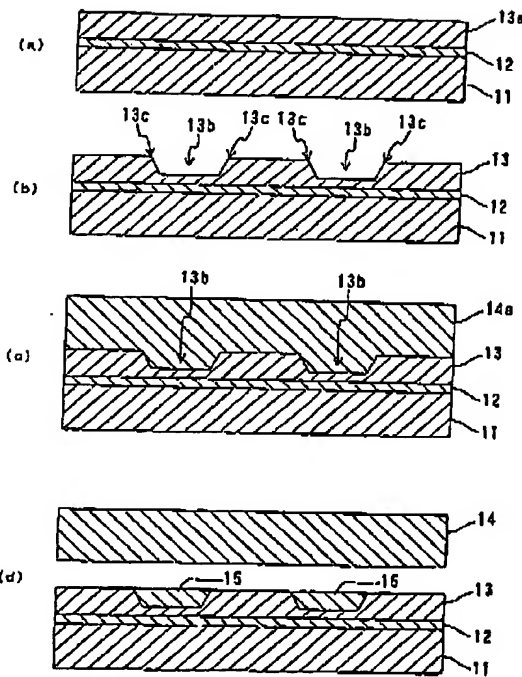
【図5】



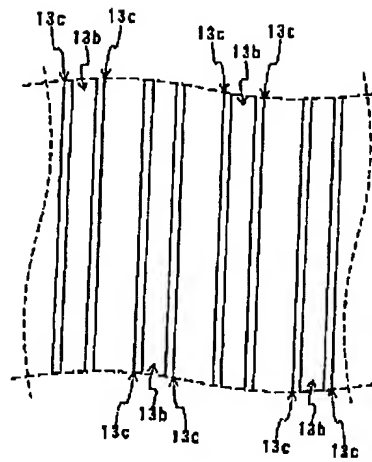
(9)

特開2000-357663

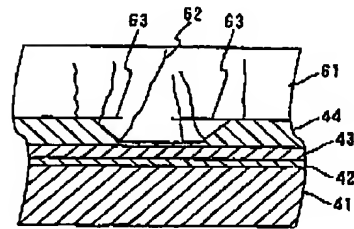
【図1】



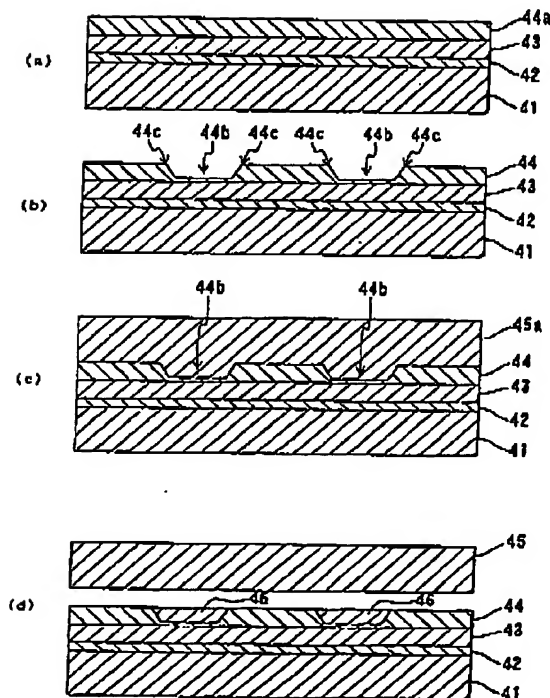
【図2】



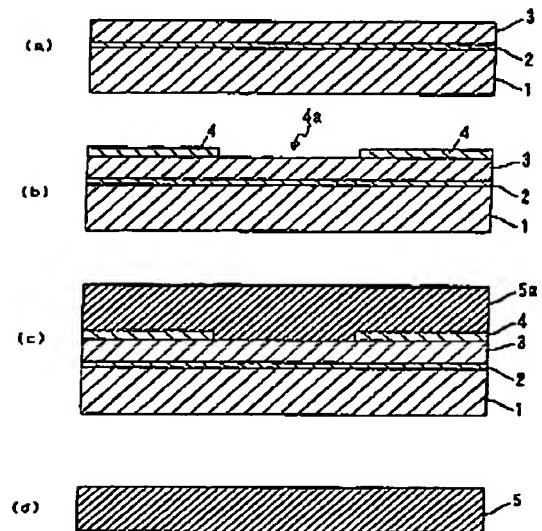
【図6】



【図4】



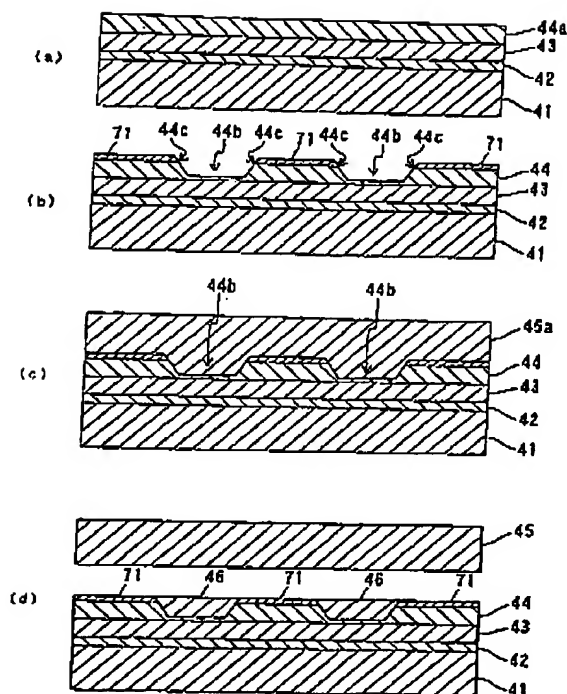
【図8】



(10)

特開2000-357663

【図7】



フロントページの続き

(72)発明者 中村 真嗣
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 石田 昌宏
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 折田 寛児
大阪府高槻市幸町1番1号 松下電子工業
株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.